

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094731

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01L 29/78
H01L 21/28

(21)Application number : 05-238443

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.09.1993

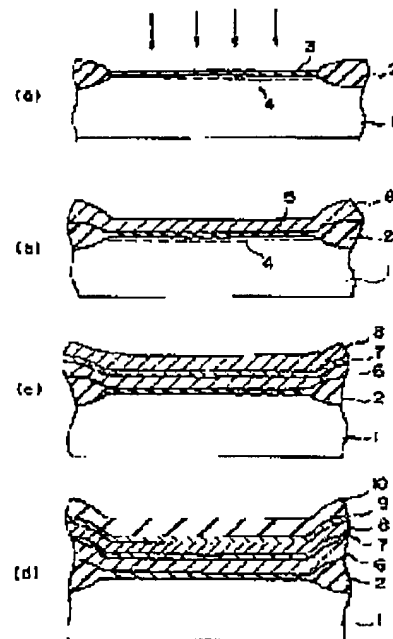
(72)Inventor : AKASAKA YASUSHI
SUGURO KYOICHI
ARIKADO TSUNETOSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide a gate electrode with low resistance, by forming a uniform silicon nitride film on the surface of a metallic gate electrode.

CONSTITUTION: In a gate electrode, a polysilicon layer 6, a barrier layer 7 and a refractory metal layer 8 are deposited in multilayer on a gate insulating film 4 on a semiconductor substrate 1. A refractory metal silicide layer 9 is formed at least on the upper face or a side face of the refractory metal layer 8. In addition, a refractory metal silicide layer 9 is deposited on at least the upper face or side face of the refractory metal layer 8. Then, the metal layer 8 is covered with a silicon nitride film with the nitride layer 9 in between.



LEGAL STATUS

[Date of request for examination] 18.09.2000

[Date of sending the examiner's decision of rejection] 04.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94731

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/28	3 0 1 T	7376-4M		
		7514-4M		
			H 0 1 L 29/ 78	3 0 1 G

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平5-238443

(22) 出願日 平成5年(1993)9月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区扇川町72番地

(72) 発明者 赤坂 泰志

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 須黒 恭一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 有門 経敏

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

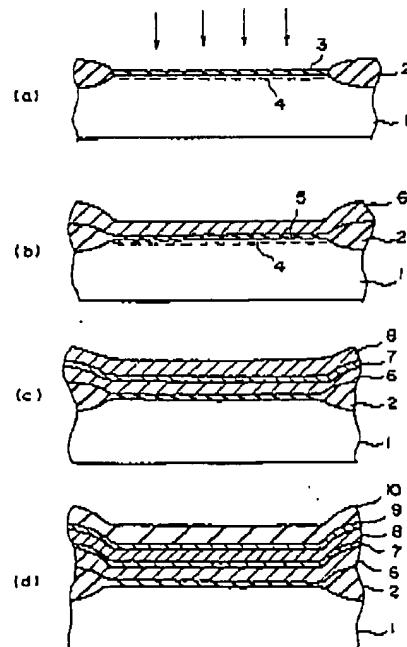
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 金属からなるゲート電極の表面に、均一なシリコン窒化膜を形成した、低抵抗のゲート電極を具備する半導体装置を提供することを目的とする。

【構成】 半導体基板1と、この半導体基板1上にゲート絶縁膜4を介して形成された、多結晶シリコン層6、障壁層7、及び高融点金属層8を積層させた構造からなるゲート電極を形成するに際し、前記高融点金属層8の上面又は側面の少なくとも一方に高融点金属珪化物層9を形成し、この珪化物層9を介して前記高融点金属層8の上面または側面の少なくとも一方をシリコン窒化膜で被覆することを特徴とする。



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94731

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H01L 29/78				
21/28	301 T	7376-4M		
		7514-4M	H01L 29/78	301 G

審査請求 未請求 請求項の数 2 O L (全 6 頁)

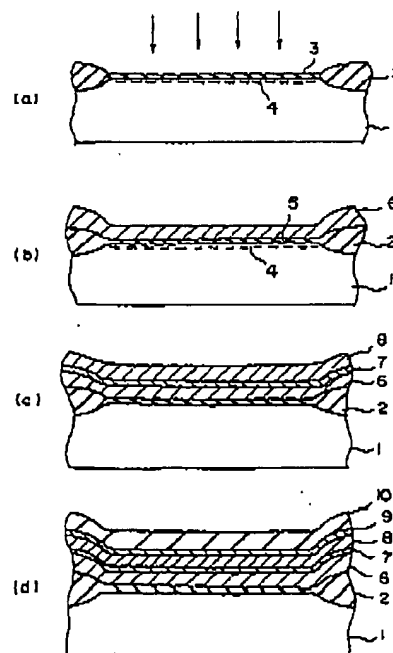
(21) 出願番号	特願平5-238443	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成5年(1993)9月24日	(72) 発明者	赤坂 泰志 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		(72) 発明者	須黒 恭一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		(72) 発明者	有門 経敏 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 金属からなるゲート電極の表面に、均一なシリコン窒化膜を形成した、低抵抗のゲート電極を具備する半導体装置を提供することを目的とする。

【構成】 半導体基板1と、この半導体基板1上にゲート絶縁膜4を介して形成された、多結晶シリコン層6、障壁層7、及び高融点金属層8を積層させた構造からなるゲート電極を形成するに際し、前記高融点金属層8の上面又は側面の少なくとも一方を高融点金属珪化物層9を形成し、この珪化物層9を介して前記高融点金属層8の上面または側面の少なくとも一方をシリコン窒化膜で被覆することを特徴とする。



【特許請求の範囲】

【請求項1】半導体基板と、この半導体基板上に形成され、障壁層及び高融点金属層が積層された構造を有する電極配線とを具備し、前記高融点金属層の上面又は側面の少なくとも一方が高融点金属珪化物層で被覆され、この珪化物層を介して前記電極配線の上面または側面の少なくとも一方がシリコン窒化膜で被覆されていることを特徴とする半導体装置。

【請求項2】半導体基板上に、障壁層及び高融点金属層を積層させた構造を有する電極配線を形成する工程と、シリコンを含む雰囲気中で熱処理を行うことにより、上記高融点金属層の上面又は側面の少なくとも一方に珪化物層を形成する工程と、この珪化物層を介して、前記積層構造の上面又は側面の少なくとも一方にシリコン窒化物を堆積する工程を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に係り、特にMOS形半導体装置の電極、配線の形成方法に関する。

【0002】

【従来の技術】近年、半導体集積回路の高集積化及び高速化にはめざましいものがあるが、MOSFETを集積回路の能動素子として用いる場合、ゲート電極の低抵抗化は集積回路の高速化のための重要な要素となる。

【0003】ゲート電極の低抵抗化のための一つの方法として、ゲート電極を、従来用いられていた多結晶シリコンの代わりに、Mo、W等の高融点金属の珪化物、又はこれら高融点金属の珪化物を多結晶シリコンと積層したものを用いることがある。高融点金属の珪化物は、高温の熱処理や薬品などに対して安定であり、多結晶シリコンを用いたプロセスとの互換性が高いという利点がある。

【0004】しかしながら、金属珪化物を用いる場合、ゲートの高さを300～400nmとしても数10Ω/□程度の層抵抗しか達成することが出来ない。層抵抗を低くするためにゲートの高さを高くすれば、ゲート加工の際のエッチングにおいて寸法変換差が大きくなったり、ゲート酸化膜とゲート電極材料との間のエッチング選択比が充分でないため、ゲート酸化膜でエッチングが止まらず、シリコン基板をエッチングしてしまう等の不具合が生じる。

【0005】半導体集積回路のより一層の高速化のため、例えば1Ω/□程度の層抵抗を、例えば400nm以下の高さのゲート電極において実現するためには、ゲート電極の材料として金属を用いることが考えられるが、高温の熱処理や薬品に対し金属珪化物ほど安定ではないため、多結晶シリコンを用いたプロセスとの互換性は低い。

(2)

特開平7-94731

2

【0006】金属をゲート電極の材料として用いる際に、耐熱性や耐薬品性を補う方法として、ゲートの上面、及び側面を保護膜で覆う方法が考えられる。保護膜の条件としては、耐熱性、耐薬品性はもちろんであるが、ゲート電極の側部に用いる場合には、ソース・ドレインとの絶縁を保つ必要があることに注意すべきである。高温の酸化工程に於けるバリア性や弗酸を含む薬品に対する安定性等を考慮すると、シリコン窒化膜は最も適した保護膜の一つと考えられる。

10 【0007】しかしながら、シリコン窒化膜を形成する際にソースガスとしてNH₃（アンモニア）を用いるため、金属表面が不均一に窒化され、シリコン窒化膜が不均一に粒状成長するという問題がある。その様子を示したのが図1である。これは780℃、0.5 Torr、NH₃ : SiH₄ : Cl₂ = 10 : 1の流量比でWからなるゲート電極8の表面にSiN層10を堆積したものであるが、SiNが粒状成長している様子がわかる。

【0008】

【発明が解決しようとする課題】このように、MOSFETのゲート電極の材料として金属を用い、その表面に耐熱性や耐薬品性を向上させる目的で保護膜としてシリコン窒化膜を形成する際に、金属表面がソースガスの一つであるNH₃により不均一に窒化されてしまい、その結果、シリコン窒化膜が不均一に粒状成長し、保護膜としての性能が損なわれる。

【0009】そこで本発明の目的は、金属からなるゲート電極の表面に、均一なシリコン窒化膜を形成した、低抵抗のゲート電極を具備する半導体装置を提供することにある。

30 【0010】本発明の他の目的は、金属からなるゲート電極の表面に、均一なシリコン窒化膜を形成した、低抵抗の、従来プロセスとの互換性の高いゲート電極又は配線の形成を可能とする半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するために本発明は、半導体基板と、この半導体基板上に形成され、障壁層及び高融点金属層が積層された構造を有する電極配線とを具備し、前記高融点金属層の上面又は側面の少なくとも一方が高融点金属珪化物層で被覆され、この珪化物層を介して前記電極配線の上面または側面の少なくとも一方がシリコン窒化膜で被覆されていることを特徴とする半導体装置を提供する。

40 【0012】更に本発明は、半導体基板上に、障壁層及び高融点金属層を積層させた構造を有する電極配線を形成する工程と、シリコンを含む雰囲気中で熱処理を行うことにより、上記高融点金属層の上面又は側面の少なくとも一方に珪化物層を形成する工程と、この珪化物層を介して、前記積層構造の上面又は側面の少なくとも一方にシリコン窒化物を堆積する工程を具備することを特徴

3

とする半導体装置の製造方法を提供する。

【0013】本発明において、高融点金属層としては、Ni、Mo、Ta、Nb、V等を用いることが出来る。また、反応障壁層としては、TiN層、TiN層とSiN層との積層体を用いることが可能である。なお、この障壁層は、例えばビアの下に多結晶シリコン等の高融点シリコン層と反応する物質から構成される層を形成する場合には反応を防止する層となり、また、酸化シリコン膜等の絶縁膜を形成する場合には、高融点金属の絶縁膜中への拡散を防止する層となる。絶縁膜中に高融点金属が拡散すると、この絶縁膜において、リーク電流が生じ易くなる。

【0014】多結晶シリコン層は、不純物を含むものである。また、p型不純物をドーパした多結晶シリコン層とn型不純物をドーパした多結晶シリコン層とを同一基板上に設けることも可能である。

【0015】本発明の方法において、熱処理雰囲気としてのシリコンを含む雰囲気は、ジクロロシラン(SiH_2Cl_2)、シラン(SiH_4)、ジシラン(Si_2H_6)等のシラン系化合物とすることが出来る。

【0016】

【作用】本発明によれば、多結晶シリコン層、反応障壁層、及び高融点金属層の積層体を、シリコンを含む雰囲気中で熱処理することにより、高融点金属の表面に珪化物層を形成し、次いで、この珪化物層上にシリコン珪化物を堆積している。そのため、高融点金属の表面に直接シリコン珪化物を形成する時に生ずる、シリコン珪化物の不均一な粒状成長が防止され、均一でかつ安定なシリコン珪化物を、高融点金属層の保護膜として形成することが可能である。

【0017】

【実施例】以下、図面を参照して、本発明の実施例を説明する。図1(a)～(d)は、本発明の第1の実施例に係る半導体装置の製造工程を示す断面図である。まず、図1(a)に示すように、p型シリコン基板1に熱酸化によって厚さ600nm程度の素子分離用酸化膜2と、厚さ8nm程度の酸化膜3を形成する。次いで、トランジスタのしきい値を合わせる目的で、必要に応じてイオン注入を行ない、不純物層4を形成する。

【0018】次に、図1(b)に示すように、酸化膜3を希弗酸等で剥離し、更に熱酸化により厚さ8nm程度のゲート酸化膜5を形成する。ここで、ゲート酸化膜を新たに形成し直すのは、イオン注入の際に形成された酸化膜中の欠陥を除去するとともに、犠牲酸化を行って表面を清浄化し、信頼性の高いゲート酸化膜を形成するためである。続いて、減圧CVD法により厚さ100nmの多結晶シリコン層6を形成した後、40KeVの加速電圧、 $3 \times 10^{15} \text{cm}^{-2}$ 程度のドーズ量でAsをイオン注入し、多結晶シリコン層6中にn型不純物を導入する。

(3)

特開平7-94731

【0019】次に、図1(c)に示すように、反応性スパッタリングにより、厚さ10nm程度のTiN層7を形成し、その上にスパッタリング法により厚さ100nmのタングステン(W)層8を形成する。ここで、TiN層8は、後の熱工程でWと多結晶シリコンが反応し、Wが多結晶シリコン中に拡散し、ゲート酸化膜を損なうことを防止する障壁層としての役割を有する。或いは、TiN層7を形成する代わりに、スパッタリングの反応室内で窒素プラズマによって多結晶シリコン層6の表面を薄く(1nm程度)窒化するか、またはアンモニアを含む雰囲気中でRTA(rapid thermal annealing)を行うことで、薄く多結晶シリコン層6の表面を窒化するか、更には、このような方法でシリコン表面を窒化した後、TiNを形成することによっても同様の反応防止の効果は得られる。

【0020】次に、図1(d)に示すように、LPCVD法によりW層8上にSiN層10を堆積するが、これにはまず、温度780℃、圧力0.5Torr程度の条件で SiH_2Cl_2 を10分間程度導入し、W層8の表面に薄い珪化物層9を形成した後に、同一の反応室内で SiH_2Cl_2 と NH_3 を導入し、厚さ100nmのSiN層10を堆積する。このようにすることで、図2に示すように、W層8の表面は不均一に窒化されることがなく、SiN層10は均一に堆積される。

【0021】引き続き、通常の方法を用いて、SiN/W/TiN/多結晶シリコンからなる積層体を所望の形状にパターニングしてゲート電極を形成し、このゲート電極をマスクとして用いて第2導電型の不純物イオンを基板に注入することにより、ソース、ドレインを形成する。その後、CVD法により層間絶縁膜として SiO_2 膜を堆積し、この SiO_2 膜にコンタクト孔を形成し、Alの配線を形成することによりMOSFETが完成される。

【0022】図3(a)～(d)は、本発明の第2の実施例に係る半導体装置の製造工程を示す断面図である。まず、図3(a)に示すように、p型シリコン基板21上に素子分離用の酸化膜22を形成し、ゲート酸化膜25を形成した後、多結晶シリコン層26を堆積し、この多結晶シリコン層26に40KeVの加速電圧、 $3 \times 10^{15} \text{cm}^{-2}$ 程度のドーズ量でAsのイオン注入を行い、次いで、Wと多結晶シリコンの反応を防止する層27を設けた後にW層28を堆積し、更に、保護膜30を形成し、ゲート電極を所望の形状にパターニングして、多層構造のゲート電極を得る。

【0023】ここで、保護膜30としては、第1の実施例で述べた方法によりSiNを堆積してもよいし、常圧CVD法やプラズマCVD法等の低温の堆積法を用いて SiO_2 膜を堆積しても良い。また、その後の工程を考慮し、充分な耐熱性や耐薬品性を有する他の絶縁膜や導電性の膜を用いても良い。

(4)

特開平 7-94731

J

6

【0024】次に、図3(b)に示すように、 H_2/N_2 / $H_2 O$ の混合ガス雰囲気中で熱処理することで、W層28及び反応防止膜27は酸化されることがなく、多結晶シリコン層26及び基板21の表面のみを酸化し、酸化膜31を形成する。これは、ゲート酸化膜の両端を厚くすることによりゲート端の電界集中を緩和するためである。次に、ゲート電極をマスクとして用いて、20 KeVの加速電圧、 $1 \times 10^{14} \text{ cm}^{-2}$ 程度のドーズ量で、Asのイオン注入を行ない、ドレイン端での電界集中を緩和するためのいわゆるLDD (lightly doped drain) 領域32を形成する。

【0025】次いで、ゲート電極の側壁に絶縁膜を形成するために、図3(c)に示すように、LPCVD法により厚さ100 nm程度のSiN層34を堆積するが、この場合も、第1の実施例で述べたように、まず温度780℃、圧力0.5 Torr程度の条件で、 SiH_2Cl_2 を10分間程度導入し、W層28の側面に珪化物層33を形成した後に、同一の反応室内でにおいて、 SiH_2Cl_2 と NH_3 を導入し、厚さ100 nmのSiN層34を堆積する。このようにすることで、W層28の表面は不均一に窒化されることがなく、SiN層34は均一に堆積される。

【0026】次に、図3(d)に示すように、反応性イオンエッチング(RIE)によりSiNをエッチバックする事によりゲート側壁(35)を形成する。引き続き、通常の工程により、ゲート電極及びゲート側壁をマスクとして用いて、40 KeVの加速電圧、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量で、Asのイオン注入を行い、ソース36a及びドレイン36bを形成する。なお、この時、イオン注入のマスクとしてレジストを用いる場合は、レジストを塗布する以前に基板に熱酸化膜を形成し、レジストから基板への汚染を防止する必要がある。そのような場合、W層28の表面の珪化物層33を厚く形成し、耐酸化性をあらかじめ強化しておくことが有効である。

【0027】次に、CVD法により SiO_2 層を堆積し、この SiO_2 層にコンタクト孔を形成した後、Al等からなる配線を形成することにより、MOSFETが完成される。

【0028】図4は、本発明の第3の実施例に係る半導体装置を示す断面図である。この実施例では、W層28の側面に限らず、上面にも珪化物層33を形成し、更にSiN層34を堆積している。それ以外は、第2の実施例と同様である。

【0029】なお、以上の実施例においては、NチャネルMOSトランジスタの製造方法について説明したが、不純物の導電型を変えることでPチャネルMOSトランジスタも同様の方法で製造できる。また、電極配線構造として、ゲート電極以外の構造に於いて本発明を適用することが出来る。例えば、多層配線構造やコンタ

クト電極配線に対して適用可能である。

【0030】更に、以上の実施例では、金属としてWを挙げたが、珪化の際の温度、圧力、等を適当に変えることでMo、Ta、Nb、V等の他の高融点金属を用いても、同様の効果が得られる。また、反応障壁層として、TiN以外に、ZrN、HfN、 WN_x 等の高融点金属窒化物、TiC、TaC等の高融点金属炭化物等を用いることが出来る。

【0031】更にまた、ゲート構造も、上記した多結晶シリコンの積層構造以外に、ゲート絶縁膜上に反応障壁層及び高融点金属層を、この順に積層した構造とすることが可能である。その他、本発明の趣旨を逸脱しない範囲で、様々な変形が可能である。

【0032】

【発明の効果】以上説明したように、本発明によれば、多結晶シリコン層、反応障壁層、及び高融点金属層の積層体を、シリコンを含む雰囲気中で熱処理することにより、高融点金属の表面に珪化物層を形成し、次いで、この珪化物層上にシリコン窒化物を堆積している。そのため、高融点金属の表面に直接シリコン窒化物を形成する時に生ずる、シリコン窒化物の不均一な粒状成長が防止され、均一でかつ安定なシリコン窒化物を、高融点金属層の保護膜として形成することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体装置の製造工程を示す断面図。

【図2】本発明の方法によりW表面にSiNが均一に成長することを示す図。

【図3】本発明の第2の実施例に係る半導体装置の製造工程を示す断面図。

【図4】本発明の第3の実施例に係る半導体装置を示す断面図。

【図5】W表面のSiN粒状成長を示す図。

【符号の説明】

1…シリコン基板

2…素子分離

3…酸化膜

4…しきい値を合わせるための不純物層

5…ゲート酸化膜

6…多結晶シリコン

7…反応防止膜(TiN)

8…W(タングステン)

9…珪化物層

10…シリコン窒化物

21…シリコン基板

22…素子分離

25…ゲート酸化膜

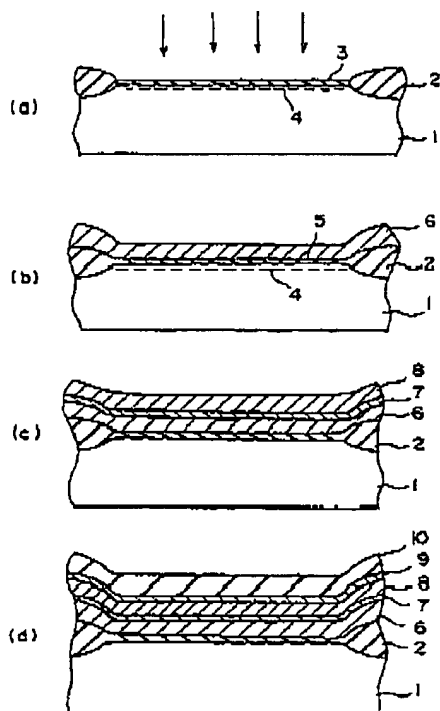
26…多結晶シリコン

27…反応防止膜

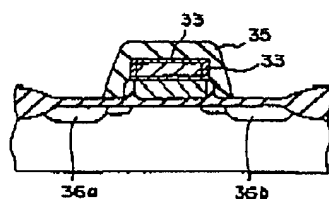
28…W(タングステン)

30...保護膜
31...酸化膜
32...LDD領域

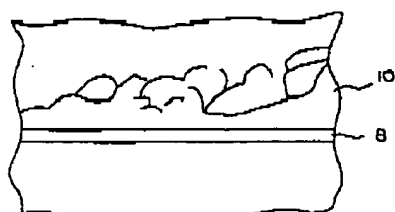
【図1】



【図4】



【図5】

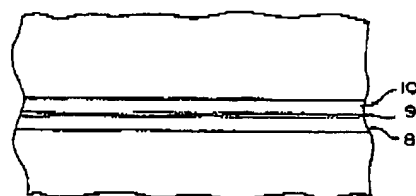


(5)

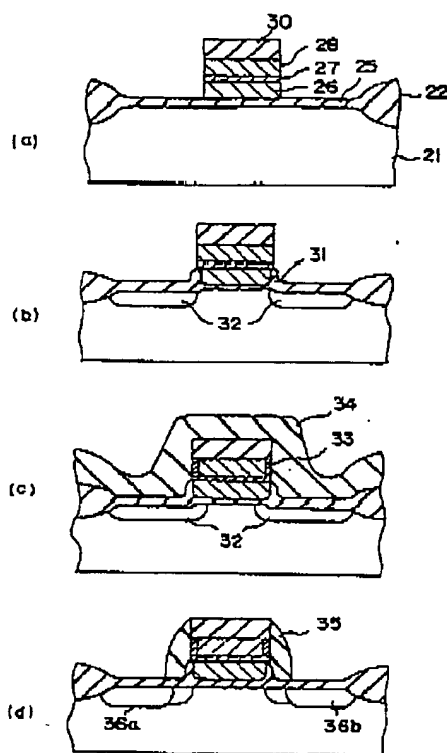
特開平7-94731

33...珪化物層
34...シリコン窒化膜
35...ゲート側壁

【図2】



【図3】



(6)

特開平7-94731

【手続補正書】

【提出日】平成6年12月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】半導体基板と、この半導体基板上に形成された高融点金属層を有する電極配線とを具備し、前記高融点金属層の上面又は側面の少なくとも一方が高融点金属珪化物層で被覆され、この珪化物層を介して前記電極配線の上面または側面の少なくとも一方がシリコン窒化膜で被覆されていることを特徴とする半導体装置。

【請求項2】半導体基板上に、高融点金属層を有する電極配線を形成する工程と、シリコンを含む雰囲気中で熱処理を行うことにより、上記高融点金属層の上面又は側面の少なくとも一方に珪化物層を形成する工程と、この珪化物層を介して、前記電極配線の上面又は側面の少なくとも一方にシリコン窒化物を堆積する工程を具備することを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【課題を解決するための手段】上記課題を解決するために本発明は、半導体基板と、この半導体基板上に形成された高融点金属層を有する電極配線とを具備し、前記高融点金属層の上面又は側面の少なくとも一方が高融点金属珪化物層で被覆され、この珪化物層を介して前記電極配線の上面または側面の少なくとも一方がシリコン窒化膜で被覆されていることを特徴とする半導体装置を提供する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】更に本発明は、半導体基板上に、高融点金属層を有する電極配線を形成する工程と、シリコンを含む雰囲気中で熱処理を行うことにより、上記高融点金属層の上面又は側面の少なくとも一方に珪化物層を形成する工程と、この珪化物層を介して、前記電極配線の上面又は側面の少なくとも一方にシリコン窒化物を堆積する工程を具備することを特徴とする半導体装置の製造方法を提供する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】本発明において、電極配線としては、障壁層及び高融点金属層が積層された構造を有するものが好ましい。高融点金属層としては、Ni、Mo、Ta、Nb、V等を用いることが出来る。また、障壁層としては、TiN層、TiN層とSiN層との積層体を用いることが可能である。なお、この障壁層は、例えばビアの下に多結晶シリコン等の高融点シリコン層と反応する物質から構成される層を形成する場合には反応を防止する層となり、また、酸化シリコン膜等の絶縁膜を形成する場合には、高融点金属の絶縁膜中への拡散を防止する層となる。絶縁膜中に高融点金属が拡散すると、この絶縁膜中において、リーク電流が生じ易くなる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【作用】本発明によれば、高融点金属層をシリコンを含む雰囲気中で熱処理することにより、高融点金属の表面に珪化物層を形成し、次いで、この珪化物層上にシリコン窒化物を堆積している。そのため、高融点金属の表面に直接シリコン窒化物を形成する時に生ずる、シリコン窒化膜の不均一な粒状成長が防止され、均一かつ安定なシリコン窒化物を、高融点金属層の保護膜として形成することが可能である。